

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Ja-Hum KU et al. Conf: Unknown
Application No.: NEW Group: Unknown
Filed: July 3, 2003 Examiner: Unknown

For: A METHOD OF FABRICATING A SEMICONDUCTOR DEVICE
HAVING A SILICON OXIDE LAYER, A METHOD OF FABRICATING A
SEMICONDUCTOR DEVICE HAVING DUAL SPACERS, A METHOD OF
FORMING A SILICON OXIDE LAYER ON A SUBSTRATE, AND A
METHOD OF FORMING DUAL SPACERS ON A CONDUCTIVE
MATERIAL LAYER

PRIORITY LETTER

July 3, 2003

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

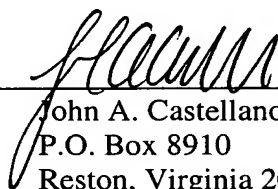
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2002-39834	July 9, 2002	Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC/cah

Attorney Docket 2557-000153/US

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2002년 제 39834 호
Application Number PATENT-2002-0039834

출원년월일 : 2002년 07월 09일
Date of Application JUL 09, 2002

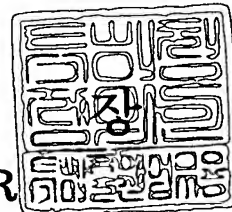
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 09 월 13 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.07.09
【국제특허분류】	H01L
【발명의 명칭】	실리콘옥사이드층을 포함하는 반도체소자의 제조방법
【발명의 영문명칭】	Method of fabricating semiconductor device including silicon oxide layer
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	구자흠
【성명의 영문표기】	KU, Ja Hum
【주민등록번호】	680110-1010516
【우편번호】	463-706
【주소】	경기도 성남시 분당구 구미동(무지개마을) 삼성건영아파트 1004동 14 01호
【국적】	KR
【발명자】	
【성명의 국문표기】	이창원
【성명의 영문표기】	LEE, Chang Won
【주민등록번호】	680703-1004911

【우편번호】	140-031
【주소】	서울특별시 용산구 이촌1동(동부이촌동) 수정아파트 207호
【국적】	KR
【발명자】	
【성명의 국문표기】	허성준
【성명의 영문표기】	HEO, Seong Jun
【주민등록번호】	730720-1074214
【우편번호】	138-050
【주소】	서울특별시 송파구 방이동 71-1 3층
【국적】	KR
【발명자】	
【성명의 국문표기】	선민철
【성명의 영문표기】	SUN, Min Chul
【주민등록번호】	730726-1051111
【우편번호】	612-752
【주소】	부산광역시 해운대구 좌동 건영2차아파트 101동 903호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤선필
【성명의 영문표기】	YOUN, Sun Pil
【주민등록번호】	730821-1069318
【우편번호】	151-021
【주소】	서울특별시 관악구 신림11동 746-1
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	15 면 15,000 원

1020020039834

출력 일자: 2002/9/14

【우선권주장료】	0	건	0	원
【심사청구료】	38	항	1,325,000	원
【합계】	1,369,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

반응챔버내에 실리콘 코팅의 발생을 방지하여 파티클의 발생을 억제하고 금속 실리콘 옥사이드화를 방지하는 동시에 금속층의 산화를 방지할 수 있는 실리콘옥사이드층을 포함한 반도체소자의 제조방법이 개시된다.

그 제조방법은, 반도체기판을 증착공정이 수행될 수 있는 반응챔버내로 로딩하는 단계, 상기 반응챔버내에 저온에서 분해가 가능한 질소 원소를 포함하는 질소 분위기가스를 투입하여 상기 반응챔버내를 질소 분위기로 형성하는 단계 및 상기 반응챔버내에 실리콘 소오스가스 및 산소 소오스가스를 투입하여 상기 반도체기판상에 실리콘옥사이드층을 증착하는 단계를 포함하며, 반도체기판상에는 도전층 패턴 예를 들어, 게이트라인 패턴이 형성되며, 게이트 라인 패턴의 측벽에 실리콘옥사이드층/실리콘나이트라이드층의 이중 스페이서를 형성하는 방법이 개시된다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

실리콘옥사이드층을 포함하는 반도체소자의 제조방법{Method of fabricating semiconductor device including silicon oxide layer}

【도면의 간단한 설명】

도 1은 본 발명의 일 실시예에 따른 실리콘옥사이드층을 포함하는 반도체소자의 제조방법을 나타내는 공정순서도이다.

도 2 내지 도 5는 본 발명의 일 실시예에 따른 실리콘옥사이드층을 포함하는 반도체소자의 제조방법을 나타내는 공정단면도들이다.

도 6a 내지 도 8b는 본 발명의 각 실시예들에 따른 실리콘옥사이드층을 포함하는 반도체소자의 제조방법에서 각 공정가스의 시간에 따른 플로우를 나타낸 도면들이다.

도 9는 본 발명의 실시예들에 따른 실리콘옥사이드층을 포함하는 반도체소자의 제조방법의 적용효과를 설명하기 위해 웨이퍼들에 대한 반사지수를 나타낸 그래프이다.

도 10은 본 발명의 일 실시예에 따른 실리콘옥사이드층을 포함하는 반도체소자의 제조방법에 의해 형성된 반도체소자의 실리콘옥사이드층 증착 프로파일을 보여주는 사진이다.

도 11은 종래의 실리콘옥사이드층을 포함하는 반도체소자의 제조방법에 의해 형성된 반도체소자의 실리콘옥사이드층 증착 프로파일을 보여주는 사진이다.

※ 도면의 주요 부분에 대한 부호의 설명

10 ; 기판 12 ; 게이트절연층

14 ; 제1 게이트 도전층 16 ; 제2 게이트 도전층

18 ; 제3 게이트 도전층 20 ; 게이트 마스크층

22 ; 제1 절연층 24 ; 제2 절연층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 실리콘옥사이드층을 포함하는 반도체소자의 제조방법에 관한 것으로, 보다 상세하게는 게이트의 측벽에 실리콘옥사이드층을 포함하는 이중 스페이서를 형성하는 실리콘옥사이드층을 포함한 반도체소자의 제조방법에 관한 것이다.

<13> 반도체 메모리소자, 특히 하나의 트랜지스터와 하나의 커패시터로 단위셀을 구성하는 디램(DRAM)에 있어서 게이트 라인은 각 메모리 셀을 구성하는 트랜지스터의 게이트전극에 신호전달을 위한 도전 라인으로서 실리콘기판 상에 동일한 방향으로 복수개가 밀집되게 형성된다. 이러한 게이트 라인은 주변 소자들 사이, DRAM의 디씨(Direct Contact;DC) 및 비씨(Buried Contact;BC)간의 절연을 위해 그 게이트 라인 패턴의 측벽에 절연성 물질로 이루어진 스페이서를 일반적으로 형성시킨다. 이러한 절연성 스페이서 물질로서, 절연 효율 및 후속 열처리에 의한 변형을 억제하기 위해 주로 실리콘옥사이드(SiO_2) 혹은 실리콘나이트라이드(SiN)가 이용되고 있다.

<14> 실리콘나이트라이드를 스페이서 물질로 사용하여 게이트 라인 패턴의 측벽에 스페이서를 형성하는 종래의 일반적인 공정을 살펴보면, 실리콘기판상에 게이트 절연층, 게이트 도전층 및 절연성의 게이트 마스크층을 순차적으로 증착한 후 포토리소그래피 공정

을 이용하여 게이트 라인 패턴을 형성한다. 이어서, 게이트 라인 패턴이 형성된 실리콘 기판의 전면에 실리콘나이트라이드층을 증착한 후, 상기 게이트 마스크층 및 실리콘기판의 표면이 노출될 때까지 전면 식각공정을 수행하면 게이트 라인 패턴의 측벽에만 실리콘나이트라이드 스페이서가 형성된다.

<15> 그러나, 상기와 같은 종래의 방법에 의하면, 실리콘나이트라이드층과 실리콘기판간의 식각선택비가 작기 때문에 실리콘나이트라이드층에 대한 전면 식각시 실리콘기판의 표면이 손상되기 쉬우며, 이러한 손상된 부위는 후속하여 형성되는 커패시터의 스토리지 전극에 대하여 누설전류를 야기하여 DRAM의 리프레시 특성을 악화시킨다.

<16> 이러한 실리콘나이트라이드층으로 이루어진 단일막의 스페이서의 단점을 극복하기 위하여, 실리콘옥사이드층을 버퍼층으로 사용하는 실리콘옥사이드층과 실리콘나이트라이드층으로 이루어진 이중막의 듀얼 스페이서(dual spacer)가 사용되고 있다.

<17> 이러한 실리콘옥사이드층/실리콘나이트라이드층의 이중막의 스페이서를 사용하는 이유들을 보다 구체적으로 살펴보면 다음과 같다.

<18> 첫째, DRAM에서 게이트 라인 측벽에 스페이서를 형성하기 위한 실리콘나이트라이드층을 식각할 때 실리콘기판상에 잔류하는 옥사이드층의 두께에 따라 정전 리플레쉬(static refresh)가 크게 차이가 난다. 즉, 잔류 옥사이드층이 얇으면 건식 식각에 따른 데미지에 의해 정전 리플레쉬의 열화가 발생하기 때문에 활성영역에 건식 식각에 따른 데미지를 최소화하기 위해 버퍼층으로서 옥사이드층이 필요하다.

<19> 둘째, 셀리사이드(salicide) 공정을 적용하는 SRAM(Static RAM) 또는 논리 소자에서 스페이서 형성을 위한 실리콘나이트라이드층을 건식 식각할 시 실리콘기판이 받는 데

미지 또는 건식 식각공정의 식각가스에 포함된 불소 원소가 실리콘기판의 표면과 결합하여 실리콘기판의 활성영역에 실리사이드 형성의 불량이 발생할 뿐만 아니라 접합손실(junction loss)로 인한 소자 불량을 유발하게 되어 버퍼층으로서 옥사이드층이 요구된다.

<20> 셋째, 금속 게이트(Metal Gate)와 셀리사이드 공정을 함께 적용할 경우 금속게이트가 실리콘나이트라이드 스페이서로 둘러싸여 있어도 후속 셀리사이드 공정시 사용하는 습식세정 또는 메탈(Ti, Co, Ni 등) 스트립 공정등에 사용되는 물질, 예를 들면, SC1, $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ 용액 등에 의하여 금속 게이트의 금속층이 용해되는 불량이 발생할 수 있으며, 이 경우 스페이서를 옥사이드와 실리콘나이트라이드의 이중 구조로 형성할 경우 후속 습식 세정공정시 발생할 수 있는 금속층의 침식(Attack) 방지를 위한 공정 마진을 증가시킬 수 있다.

<21> 한편, 게이트 라인 패턴의 측벽에 듀얼 스페이서를 형성하는 과정을 간단히 살펴보면, 전술한 바와 같이 실리콘기판상에 게이트 절연층, 게이트 도전층 및 절연성의 게이트 마스크층을 순차적으로 증착한 후 포토리소그래피 공정을 이용하여 게이트 라인 패턴을 형성한다. 이어서, 게이트 라인 패턴이 형성된 실리콘기판의 전면에 실리콘옥사이드층과 실리콘나이트라이드층을 순차적으로 증착한 후, 상기 실리콘옥사이드층의 표면이 노출될 때까지 전면 식각공정을 수행하면 게이트 라인 패턴의 측벽에만 실리콘나이트라이드층이 잔류함으로써 게이트 라인 패턴의 측벽에 실리콘옥사이드층 및 실리콘나이트라이드층으로 이루어진 듀얼 스페이서가 형성된다.

<22> 이러한 듀얼 스페이서의 경우, 먼저 증착하는 실리콘옥사이드층에 대하여 후에 증착하는 실리콘나이트라이드층의 식각선택비가 크기 때문에 실리콘나이트라이드층 식각시

실리콘옥사이드층이 식각저지층으로서의 역할을 하며, 실리콘기판상에 잔류하는 실리콘 옥사이드층은 후속되는 세정 공정에 의해 실리콘기판의 손상이 없이 제거될 수 있기 때문에 최종적으로 실리콘기판의 손상이 없는 듀얼 스페이서를 형성할 수 있다.

<23> 한편, 게이트 라인을 폴리실리콘층 및 금속실리사이드층으로 이루어진 도전층을 일반적으로 사용하고 있으나, 신호 지연시간을 감소를 위해 비저항이 낮은 물질을 도전 라인의 재료로 사용하게 되며, 이러한 저항감소라는 측면에서 금속실리사이드층 대신에 텅스텐, 몰리브데늄, 티타늄, 코발트, 니켈, 탄탈륨 등의 순수한 금속층을 포함하는 금속 게이트 라인(metal gate line)이 또한 사용되고 있으며, 그에 대한 연구도 활발히 이루어지고 있다. 금속층을 게이트 라인의 일부로 사용하는 예로서, 텅스텐/텅스텐나이트라이드/폴리실리콘 스택 구조가 집적화 측면에서 실현가능성이 큰 것으로 개발되고 있다.

<24> 그러나, 종래의 듀얼 스페이서 형성 공정을 상기 금속 게이트 라인에 그대로 적용하게 되는 경우, 텅스텐 등의 순수한 금속층을 포함한 게이트 라인 패턴 형성 후, 실리콘옥사이드층 증착시 텅스텐 등의 노출된 금속층 표면이 산화되는 문제가 발생한다. 이러한 원하지 않은 금속층 표면의 산화는 도전 라인의 유효 단면적을 감소시키는 결과가 되어 도전 라인의 저항 증가를 초래하게 되며, 게이트 라인 패턴의 수직 프로파일을 양호하게 확보할 수 없게 된다. 도 11은 텅스텐을 포함한 게이트 라인 패턴이 형성된 실리콘기판의 전면에 실리콘옥사이드층을 증착하는 공정에서 텅스텐이 산화되어 텅스텐옥사이드층이 게이트 라인 패턴의 노출된 텅스텐층의 표면에 형성됨에 따라 텅스텐층의 폭이 좁아짐과 동시에 게이트 라인 패턴의 수직 프로파일이 매우 불량하게 형성된 것을 나타내는 사진이다.

<25> 따라서, 텅스텐 등의 금속층이 증착 분위기에 노출된 상태에서 금속층의 산화없이 우수한 특성을 갖는 실리콘옥사이드층을 증착할 수 있으며, 실리콘 소오스가스를 사용하기 때문에 발생될 수 있는 반응챔버 내의 실리콘 코팅으로부터의 파티클의 발생을 억제하고, 나아가 증착 분위기에 노출된 금속층과 반응하여 금속실리사이드가 형성되는 것을 방지할 수 있는 실리사이드층의 증착 방법이 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명의 목적은 상기의 과제를 해결하기 위하여 이루어진 것으로서, 반응챔버내에 실리콘 코팅의 발생을 방지하여 파티클의 발생을 억제하면서 실리콘옥사이드층을 반도체기판상에 형성할 수 있는 실리콘옥사이드층을 포함한 반도체소자의 제조방법을 제공하는 데 있다.

<27> 본 발명의 다른 목적은 반응챔버내에서 증착 분위기에 노출된 금속층의 산화를 방지하는 동시에 금속 실리사이드화를 방지할 수 있는 실리콘옥사이드층을 포함한 반도체소자의 제조방법을 제공하는 데 있다.

<28> 본 발명의 또다른 목적은 반응챔버내에서 증착 분위기에 노출된 금속층의 표면에 형성된 산화물을 제거하면서 동시에 상기 금속층의 산화를 방지할 수 있는 실리콘옥사이드층을 포함한 반도체소자의 제조방법을 제공하는 데 있다.

<29> 본 발명의 또다른 목적은 반응챔버내에서 증착 분위기에 노출된 금속층의 산화를 방지하면서 우수한 특성을 갖는 실리콘옥사이드층과 실리콘나이트라이드층을 포함한 이중 스페이서를 갖는 반도체소자의 제조방법을 제공하는 데 있다.

<30> 본 발명의 또다른 목적은 금속층을 포함한 도전층 패턴간을 절연하기 위해 실리콘 옥사이드층을 증착하는 경우 노출된 금속층 표면의 산화를 방지하여 도전층 패턴의 양호한 수직 프로파일을 확보할 수 있는 실리콘옥사이드층을 포함한 반도체소자의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<31> 상기 목적들을 달성하기 위한 본 발명의 제1 형태에 따른 실리콘옥사이드층을 포함한 반도체소자의 제조방법은, 반도체기판을 증착공정이 수행될 수 있는 반응챔버내로 로딩하는 단계; 상기 반응챔버내에 저온에서 분해가 가능한 질소 원소를 포함하는 질소 분위기 가스를 투입하여 상기 반응챔버내를 질소 분위기로 형성하는 단계; 및 상기 반응챔버내에 실리콘 소오스가스 및 산소 소오스가스를 투입하여 상기 반도체기판상에 실리콘 옥사이드층을 증착하는 단계를 포함한다.

<32> 상기 반도체기판상에는 도전층 패턴이 형성될 수 있으며, 이때 상기 실리콘옥사이드층을 상기 도전층 패턴상에 형성되며, 상기 도전층 패턴은 다양한 형태의 패턴일 수 있으며, 예를 들어 게이트라인 패턴, 비트라인 패턴, 배선라인 패턴 및 도전성 패드층 패턴일 수 있다.

<33> 상기 도전층 패턴은 적어도 그 일부가 반응챔버내의 증착 분위기에 노출된 금속층을 포함할 수 있으며, 상기 금속층은 비저항이 낮은 물질, 예를 들어 텅스텐, 몰리브덴, 티타늄, 코발트, 니켈, 탄탈륨 등일 수 있다.

<34> 한편, 상기 질소 분위기가스는 산소 원소를 포함하지 않는 가스를 사용하며, 바람직하게는 암모니아(NH_3) 가스를 사용할 수 있다. 상기 실리콘 소오스가스로서 SiH_4 , Si

H_2 , DCS(Dichlorosilane), TCS(Trichlorosilane), HCD(Hexachlorodisilane) 중의 어느 하나를 사용할 수 있으며, 상기 산소 소오스가스로서 N_2O , NO 또는 O_2 를 사용할 수 있다

<35> 한편, 상기 실리콘 소오스가스를 상기 산소 소오스가스보다 적어도 먼저 투입하거나, 동시에 투입하는 것이 바람직하다.

<36> 상기 질소 분위기가스는 상기 산소 소오스가스를 투입한 후에 투입을 중단할 수 있으며, 상기 산소 소오스가스의 투입과 동시에 투입을 중단할 수도 있으며, 상기 산소 소오스가스를 투입하기 전에 투입을 중단할 수도 있다.

<37> 한편, 상기 실리콘옥사이드층을 증착하는 단계는 공정압력이 저압, 예를 들어 0.01 내지 500 Torr 범위내에서 수행할 수 있으며, 공정압력이 이 범위내가 되도록 배기펌프의 펌핑속도와 실리콘 소오스가스 및 산소 소오스가스 등의 공정가스들의 유량을 적절히 조절할 수 있다.

<38> 또한, 상기 실리콘옥사이드층을 증착하는 단계는 적어도 500 °C 이상의 고온에서 열적 화학기상증착(thermal CVD)법에 의해 수행하는 것이 바람직하며, 공정가스의 유량을 매우 적게 하여 증착속도를 낮추는 제한된 범위내에서는 리모트(remote) 플라즈마를 이용한 플라즈마 강화 화학기상증착(PECVD)법에 의해 수행할 수도 있다.

<39> 상기 목적들을 달성하기 위한 본 발명의 제2 형태에 따른 실리콘옥사이드층을 포함한 반도체소자의 제조방법은, 실리콘기판상에 게이트 패턴을 형성하는 단계; 상기 게이트 패턴이 형성된 상기 실리콘기판을 증착공정이 수행될 수 있는 반응챔버내로 로딩하는 단계; 상기 반응챔버내에 적어도 질소 원소를 포함하는 질소 분위기가스를 투입하여 상

기 반응챔버내를 질소 분위기로 형성하는 단계; 상기 반응챔버내에 실리콘 소오스가스 및 산소 소오스가스를 투입하여 상기 게이트 패턴이 형성된 실리콘기판의 전면에 실리콘 옥사이드층을 증착하는 단계; 상기 실리콘옥사이드층이 형성된 상기 실리콘기판의 전면 에 실리콘나이트라이드층을 형성하는 단계; 및 상기 실리콘나이트라이드층을 전면 식각 하여 상기 게이트 패턴의 측벽에 실리콘나이트라이드층 및 실리콘옥사이드층을 포함한 스페이서를 형성하는 단계를 포함한다.

<40> 상기 게이트 패턴은 적어도 그 일부가 노출된 금속층을 포함할 수 있으며, 예를 들어 게이트절연층, 폴리실리콘층, 텅스텐나이트라이드층, 텅스텐층 및 게이트마스크층이 순차적으로 적층된 구조일 수 있다. 상기 질소 분위기가스로서는 산소 원소를 포함하지 않는 가스, 바람직하게는 암모니아(NH_3) 가스를 사용할 수 있다.

<41> 한편, 상기 실리콘 소오스가스는 상기 산소 소오스가스보다 적어도 먼저 투입하거나 동시에 투입할 수 있으며, 상기 질소 분위기가스는 상기 산소 소오스가스를 투입한 후에 투입을 중단하거나, 상기 산소 소오스가스의 투입과 동시에 투입을 중단하거나 상기 산소 소오스가스를 투입하기 전에 투입을 중단할 수 있다.

<42> 본 발명에 따르면, 반응챔버가 일정한 정도의 질소 분위기로 유지되는 상태에서 실리콘 소오스가스 및 산소 소오스가스가 투입되기 때문에 반응챔버내에 투입되는 실리콘 소오스가스에 의한 실리콘 코팅의 발생이 억제되며, 증착 분위기에 노출된 금속층의 실리콘사이드화가 억제되며, 동시에 금속층의 산화를 방지하며 우수한 특성을 갖는 실리콘옥사이드층을 형성할 수 있다.

<43> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 상세하게 설명한다. 그러나, 본 발명은 많은 상이한 형태로 구현될 수 있으며, 여기서 설명되는 실시예들에 한정되는 것으로 해석되서는 아니되며, 차라리 이러한 실시예들은 그 개시내용을 완벽히 하며 발명의 사상을 당업자에게 충분히 전달하기 위해 제공되는 것이다. 도면들에서, 층들 및 영역들의 두께는 명료성을 위해 과장되어 있다. 동일한 참조번호는 전체적으로 동일한 요소를 지칭한다. 층, 영역 또는 기판과 같은 요소가 다른 요소 "상"에 있는 것으로 언급될 때, 이것은 다른 요소 위에 직접 있거나 중간요소가 개입될 수도 있다. 반대로, 어떤 요소가 다른 요소 "직접 상"에 있는 것으로 언급될 때, 그 곳에는 중간요소가 존재하지 않는 것을 의미한다.

<44> 본 발명은 실리콘나이트라이드층/텅스텐층/텅스텐나이트라이드층/폴리실리콘층으로 이루어진 게이트 라인 패턴상에 텅스텐층의 산화없이 실리콘옥사이드층의 증착 방법에 대하여 예시하고 있으나, 본 발명은 여기에 한정되지 않고, 노출된 금속층 상에 산화막을 형성하는 경우, 예를 들면, 비트라인 패턴, 배선라인 패턴, 도전성 패드 패턴 상에 실리콘옥사이드층을 형성하는 경우에도 적용 가능하다.

<45> 이하, 실리콘나이트라이드층/텅스텐층/텅스텐나이트라이드층/폴리실리콘층으로 이루어진 게이트 라인 패턴상에, 챔버내의 파티클 발생을 억제하고, 증착 분위기에 노출된 게이트 라인 패턴에 포함된 금속층의 실리사이드화의 가능성을 억제함과 동시에 게이트 라인 패턴의 금속층이 산화되지 않으면서 양호한 수직 프로파일을 갖는 실리콘나이트라이드층/실리콘옥사이드층의 듀얼 스페이서를 형성하는 방법에 대하여 상술한다.

- <46> 도 1은 본 발명의 일 실시예에 따른 실리콘옥사이드층을 포함한 반도체소자의 제조 방법을 나타내는 공정순서도이며, 도 2 내지 도 5는 본 발명의 일 실시예에 따른 실리콘 옥사이드층을 포함한 반도체소자의 제조방법을 나타내는 공정단면도들이다.
- <47> 도 1 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 금속 게이트 라인 패턴 측벽에 듀얼 스페이서를 형성하는 공정을 상세히 살펴본다.
- <48> 먼저, 기판상에 게이트 패턴을 형성한다(S10). 즉, 도 2에서 보여지는 바와 같이, 예를 들어 실리콘으로 된 기판(10)상에 게이트 절연층(12)으로서 게이트 산화층, 제1 도전층(14)으로서 폴리실리콘층, 제2 도전층(16)으로서 텅스텐나이트라이드층, 제3 도전층(18)으로서 텅스텐층 및 게이트 마스크층(20)으로서 절연성의 실리콘나이트라이드층을 순차적으로 적층한 후, 일반적인 포토리소그래피 공정에 의해 이들 층들로 이루어진 게이트 라인 패턴을 형성한다. 한편, 상기 게이트 라인 패턴의 폴리실리콘층의 측면에는 폴리실리콘층에 대한 재산화(reoxidation) 공정에 의해 산화물층이 형성되어 있을 수도 있다. 본 실시예에서는 게이트 라인 패턴의 폴리실리콘층, 텅스텐나이트라이드층, 텅스텐층 및 마스크층으로 되어 있는 구조에 대하여 예시하고 있으나, 본 발명은 여기에 한정되지 않고, 노출된 금속층상에 산화막을 형성하는 경우, 예를 들면, 비트라인 패턴, 배선라인 패턴, 도전성 패드 패턴 상에 실리콘 옥사이드층을 형성하는 경우에도 적용가능하며, 노출된 금속층은 W, Ni, Co, TaN, Ru-Ta, TiN, Ni-Ti, Ti-Al-N, Zr, Hf, Ti, Ta, Mo, MoN, WN, Ta-Pt, Ta-Ti 등 일 수 있으며, 금속층의 두께는 물질에 따라서 다르게 선택할 수 있으나 일반적으로 100 내지 2000 Å 정도가 적당하다.
- <49> 이어서, 상기와 같은 게이트 라인 패턴이 형성된 기판(10)을 화학기상증착공정을 수행할 수 있는 반응챔버내로 로딩한다(S20). 본 실시예에서 사용하는 상기 반응챔버로

서는 매엽식 반응챔버 또는 배치식 반응챔버를 사용할 수 있으며, 설비의 종류에 따라서 최적 공정조건은 차이가 있으며, 이는 당업계에서 통상의 지식을 가진자에 의해서 적절한 조건을 설정할 수 있다.

<50> 이어서, 상기 반응챔버 내를 질소 분위기로 유지시킨다(S30). 상기 반응챔버를 질소 분위기로 유지하기 위해 반응챔버내에 적어도 질소 원소를 포함하는 질소 분위기 가스를 일정한 유량으로 일정한 시간 동안 플로우시켜준다. 상기 질소 분위기가스로서는 저온에서 분해가 가능하며, 텅스텐 등의 금속층의 산화가 일어나지 않도록 적어도 산소 원소를 포함하지 않은 가스를 사용하며, 본 실시예에서는 암모니아(NH_3) 가스를 사용하였다.

<51> 이어서, 도 1 및 도 3에서 보여지듯이, 상기 질소 분위기로 유지되는 반응챔버내에 실리콘옥사이드층을 형성하기 위한 공정가스로서, 실리콘 소오스가스 및 산소 소오스가스를 공급하여 게이트 패턴상에 실리콘옥사이드층(22)을 형성한다(S40). 상기 실리콘 소오스가스로서는 SiH_4 , Si_2H_6 , DCS(Dichlorosilane), TCS(Trichlorosilane), HCD(Hexachlorodisilane) 등의 소오스가스를 사용할 수 있으며, 상기 산소 소오스가스로서는 N_2O , NO 또는 O_2 를 사용할 수 있다.

<52> 반응챔버내를 질소 분위기로 유지하는 단계(S30)와 실리콘 소오스가스 및 산소 소오스가스를 공급하여 게이트 패턴상에 실리콘옥사이드층을 형성하는 단계(S40)에 대해서는 뒤에서 보다 상세하게 설명한다.

<53> 이어서, 도 1 및 도 4에서 보여지는 바와 같이, 통상의 화학기상증착 공정에 의해 상기 실리콘옥사이드층(22) 상에 실리콘나이트라이드층(24)을 형성한다(S50).

- <54> 이어서, 도 1 및 도 5에서 보여지는 바와 같이, 상기 실리콘나이트라이드층 (24)에 대하여 실리콘옥사이드층(22)이 노출될 때까지 전면 식각공정을 실시하면, 실리콘나이트라이드와 실리콘옥사이드의 식각선택비가 크기 때문에 게이트 라인 패턴의 측벽에만 실리콘나이트라이드 스페이서(24a)가 잔류하게 된다. 계속하여, 게이트 라인 패턴들 사이에 잔류하는 실리콘옥사이드층(22)을 예를 들어, 습식 세정하여 제거하면 게이트 라인 패턴의 측벽에 실리콘옥사이드층(22) 및 실리콘나이트라이드층(24)으로 된 듀얼 스페이서가 형성될 수 있다.
- <55> 다시 상기 반응챔버내를 질소 분위기로 유지하는 단계(S30)와 실리콘 소오스가스 및 산소 소오스가스를 공급하여 게이트 패턴상에 실리콘옥사이드층을 형성하는 단계(S40)에 대해서 구체적으로 설명한다.
- <56> 도 6a 내지 도 8b는 본 발명의 각 실시예들에 따라 상기 질소 분위기가스, 실리콘 소오스가스 및 산소 소오스가스의 플로우 순서를 나타낸 도면들이다. 각 도면에서 가로축은 시간을 나타내며, 세로축은 공정가스들을 나타내며, 도면의 상측으로부터 각기 암모니아 가스(A), 실란 가스(B) 및 산소 가스(C)를 나타내며, 실선은 각 공정가스들의 투입시점, 투입시간 및 투입중단시점을 나타낸다. 즉, T1은 암모니아 가스 투입시점, T2는 실란 가스 투입시점, T3는 산소 가스 투입시점, T4는 암모니아 가스 투입중단시점 및 T5는 실란 가스 및 산소 가스 투입중단시점을 각기 나타낸다. 각 실시예에서 산소 가스의 투입시점인 T3로부터 게이트 패턴상에 실리콘옥사이드층(22)이 증착하기 시작하고, T5에 증착이 종료한다.
- <57> 도 6a 및 도 6b는 암모니아 가스를 투입하여 반응챔버를 질소 분위기로 유지한 후 산소 가스가 반응챔버내에 투입된 후 암모니아 가스의 투입을 중단시키는 실시예이며,

도 7a 및 도 7b는 암모니아 가스를 산소 가스가 반응챔버내에 투입됨과 동시에 그 투입을 중단시키는 실시예이며, 도 8a 및 도 8b는 암모니아 가스를 산소 가스가 반응챔버내에 투입되기 전에 그 투입을 중단시키는 실시예이다.

<58> 또한, 도 6a, 7a 및 8a는 각기 실란 가스를 산소 가스보다 먼저 투입한 실시예이며, 도 6b, 7b 및 8b는 각기 실란 가스와 산소 가스를 동시에 투입한 실시예이다.

<59> 상기 각 실시예에서의 공정조건은 반응챔버의 종류, 크기, 사용 가스의 종류, 압력 등에 따라서 달라질 수 있으며, 본 발명의 실시예에 사용될 수 있는 공정조건은 다음과 같다. 즉, 반응챔버의 설비 형태가 매엽식인 경우 공정온도는 500 내지 850℃, 공정압력은 100 내지 300 Torr, NH₃ 유량은 50 내지 500 sccm, SiH₄ 유량은 1 내지 10 sccm, N₂O 유량은 500 내지 5000 sccm 범위의 공정조건으로 설정될 수 있거나 또는 공정온도가 500 내지 850℃, 공정압력이 0.1 내지 3 Torr, NH₃ 유량이 50 내지 1000 sccm, SiH₄ 유량이 1 내지 50 sccm, N₂O 유량은 50 내지 1000 sccm 범위의 공정조건으로 설정될 수 있으며, 설비 형태가 배치식인 경우 공정온도는 500 내지 850℃, 공정압력은 0.1 내지 2 Torr, NH₃ 유량은 50 내지 1000 sccm, DCS 유량은 5 내지 200 sccm, N₂O 유량은 50 내지 1000 sccm 범위의 공정조건으로 설정될 수 있다.

<60> 한편, 반응챔버내가 질소 분위기로 유지되는 상태에서 실리콘 소오스가스를 투입하는 경우 게이트 라인 패턴상에 실리콘나이트라이드층이 얇게 증착될 수도 있다. 그러나, 질소 분위기가스의 유량 및 투입시간을 아주 적게 가져감으로써 실리콘나이트라이드층이 배리어(barrier) 역할을 하지 못할 정도로 매우 얇게 또는 거의 형성되지 않도록 조절할 수도 있다.

- <61> 또한, 도 8a 및 도 8b의 경우에도 산소 소오스가스를 반응챔버에 투입하기 전에 질소 분위기가스의 투입을 중단하는 경우라 하더라도 질소 분위기가스의 중단시점과 산소 소오스가스의 투입시점을 짧게 하여 반응챔버내를 질소 분위기로 유지한 채 실리콘 소오스가스 및 산소 소오스가스를 투입하는 것이 바람직하다.
- <62> 이와 같이 반응챔버가 질소 분위기로 유지되는 상태에서 실리콘 소오스가스를 산소 소오스가스에 앞서 미리 투입하더라도 챔버내벽에서의 실리콘 코팅의 발생이 억제되어 반응챔버내의 파티클 발생이 억제되는 동시에 증착 분위기에 노출된 금속층과 실리콘 소오스가스가 반응하여 금속실리사이드층이 형성되는 것이 방지될 수 있다.
- <63> 한편, 본 발명에 따라 질소 분위기가스를 미리 플로우시켜줄 경우에는 반응챔버내에서 파티클의 발생이 억제되고 금속실리사이드층의 형성이 방지되는 외에도 금속층의 표면에 존재하는 금속산화물의 제거 능력도 있어서 공정 마진이 극대화되는 것을 확인하였다.
- <64> 도 9는 본 발명의 실시예들에 따른 실리콘옥사이드층을 포함하는 반도체소자의 제조방법의 상기 금속산화물의 제거능력을 확인하기 위해 실험한 결과로서, 웨이퍼들에 대한 반사지수를 나타낸 그래프이다. 그래프의 가로축은 실험한 웨이퍼 번호를 나타내며 세로축은 반사지수(reflective index)를 나타낸다.
- <65> 기준 웨이퍼인 웨이퍼 번호 4 및 5는 실리콘기판상에 텅스텐나이트라이드층과 텅스텐층을 형성한 웨이퍼로서 반사지수가 약 85% 정도로 나타났다.

- <66> 이에 비하여, 웨이퍼 번호 1의 경우는, 실리콘기판상에 텅스텐나이트라이드층과 텅스텐층을 형성한 후 애싱(ashing) 공정을 수행하여 텅스텐층상에 텅스텐산화층이 형성된 것으로서 반사지수가 약 50% 정도임을 알 수 있다.
- <67> 그러나 웨이퍼 번호 2 및 3의 경우("E")는 실리콘기판상에 텅스텐나이트라이드층과 텅스텐층을 형성하고, 웨이퍼 번호 1의 경우와 같이 애싱공정을 수행하여 텅스텐층상에 텅스텐산화층이 형성된 것을 본 발명에서와 같이 반응챔버내로 로딩한 후 암모니아 가스를 플로우시켜준 것이다. 이 경우 반사지수는 약 85% 정도가 되어 기준 웨이퍼인 웨이퍼 번호 4 및 5("R")와 거의 동일하여 텅스텐층상에 형성된 텅스텐산화층이 제거됨을 확인하였다.
- <68> 한편, 본 발명의 일 실시예에 따른 게이트 라인 패턴의 측벽에 실리콘옥사이드층을 형성한 후 게이트 라인 패턴에 포함된 금속층의 산화 여부 및 수직 프로파일을 확인하기 위한 실험을 수행하였다.
- <69> 도 10은 본 발명의 일 실시예에 따른 실리콘옥사이드층을 포함하는 반도체소자의 제조방법에 의해 형성된 반도체소자의 실리콘옥사이드층 증착 프로파일을 보여주는 주사전자 현미경 사진이며, 이에 비하여 도 11은 종래의 실리콘옥사이드층을 포함하는 반도체소자의 제조방법에 의해 형성된 반도체소자의 실리콘옥사이드층 증착 프로파일을 보여주는 주사전자현미경 사진이다.
- <70> 도 10 및 도 11의 게이트 라인 패턴은 모두 실리콘기판상에 게이트산화층, 폴리실리콘층, 텅스텐나이트라이드층, 텅스텐층, 실리콘나이트라이드층이 순차적으로 형성되어 패턴화된 것이다. 양자 모두 거의 동일한 공정 압력하에서 거의 동일한 증착온도로 실리콘옥사이드층을 증착한 것이다.

<71> 그러나, 도 11의 경우는 반응챔버를 질소 분위기로 유지하지 않은 채 곧바로 실리콘 소오스가스인 SiH_4 와 산소 소오스가스인 N_2O 를 동시에 플로우시켜 게이트 라인 패턴 상에 실리콘옥사이드층을 형성한 경우이며, 도 10의 경우는 본 발명에 따라 반응챔버내에 질소 분위기가스로서 암모니아 가스를 약 5초 정도 플로우시키고, 반응챔버에 산소 소오스가스로서 산화질소(N_2O) 가스를 투입함과 동시에 암모니아 가스의 투입을 중단한 경우이며, 산화질소 가스의 투입하기 약 2초 전에 실란가스를 투입하여 게이트 라인 패턴상에 실리콘옥사이드층을 형성한 경우이다.

<72> 도 10 및 도 11의 경우 모두 실리콘옥사이드층을 형성한 후, 텅스텐의 산화와 실리콘옥사이드층의 프로파일을 비교하기 위해, 실리콘옥사이드층이 형성된 기판의 전면에 폴리실리콘층을 약 2000 Å 정도의 두께로 형성한 후, 기판을 수직으로 절단하였다. 이어서, 절단된 기판을 HF처리를 한 것이다. HF처리를 수행하면 폴리실리콘이나 게이트 라인 패턴의 다른 물질층보다 실리콘옥사이드층이 선택적으로 빨리 식각되어진다. 도 10 및 도 11에서 게이트 라인 패턴을 따라 검게 나타난 부분이 실리콘옥사이드층이 증착된 부분을 나타낸다.

<73> 도 10과 도 11을 비교하면, 도 11의 경우 실리콘옥사이드층 형성시 텅스텐의 산화가 일어나서 텅스텐층의 단면적이 줄어들었을 뿐만 아니라, 텅스텐의 산화된 부분이 게이트 라인 패턴의 외측으로 돌출되어 실리콘옥사이드층의 수직 프로파일이 불량함을 알 수 있으며, 반면에 도 10의 경우 실리콘옥사이드층 형성시 텅스텐의 산화가 일어나지 않은 것을 알 수 있으며, 따라서 게이트 라인 패턴의 수직 프로파일도 매우 양호하게 나타남을 알 수 있다.

<74> 이상에서 본 발명의 실시예들에 대하여 상세히 설명하였지만, 본 발명의 기술범위는 상기 실시예들의 형태에 한정되는 것이 아니라 본 발명의 사상을 일탈하지 않는 범위 내에서 당업자의 기술수준에 따라 여러 가지로 변경을 가하는 것이 가능하다. 예를 들어, 상기 실시의 형태에서 예시된 각 층의 재료, 막두께, 제조공정에 있어서 각종 공정조건 등의 구체적인 수치는 단지 일 예에 불과하며, 반응챔버의 종류 및 공정가스의 선택에 따라 공정조건들에 대한 적절한 변경이 가능하다.

<75> 또한, 본 실시예에서는 실리콘기판상에 게이트산화층/폴리실리콘층/텅스텐나이트라이드층/텅스텐층/실리콘나이트라이드층이 순차적으로 형성되어 패턴화된 게이트 라인 패턴을 예로 들고 있으나, W, Ni, Co, TaN, Ru-Ta, TiN, Ni-Ti, Ti-Al-N, Zr, Hf, Ti, Ta, Mo, MoN, WN, Ta-Pt, Ta-Ti 등 저저항의 순수 금속층을 포함하는 한 다양한 형태의 도전 패턴에 대하여 이들 금속층의 노출된 부분에 실리콘옥사이드층을 증착하는 경우에 모두 적용될 수 있음은 물론이다. 또한, 본 발명은 게이트 라인 패턴외에도 비트라인 패턴, 배선라인 패턴 및 도전성의 패드 패턴에 대하여 적용할 수 있음을 물론이며, 단순히 반도체기판의 특정 물질층상에 실리콘옥사이드층을 형성하는 경우에도 적용할 수 있음은 물론이다.

<76> 또한, 본 실시예에서는 매엽식 반응챔버에 대한 화학기상증착공정에 대하여 설명하였으나, 챔버의 용적이 큰 퍼니스를 사용하는 경우에도 그 압력 및 온도와 유량등을 적절히 설정하여 본 발명을 적용할 수 있다. 나아가, 본 실시예에서는 비록 열적 화학기상증착법에 의한 실리콘옥사이드층의 증착에 대하여 설명하였지만, 공정 가스의 유량을 아주 적게 하거나, 리모트(remote) 플라즈마를 이용하여 증착속도를 매우 작게 하는 경우에 플라즈마를 이용한 증착 공정에도 적용될 수 있다.

【발명의 효과】

- <77> 본 발명에 의하면, 반응챔버내에 실리콘 소오스가스와 산소 소오스가스를 투입하기 전에 미리 반응챔버를 질소 분위기로 유지하여 주기 때문에 반응챔버에서의 실리콘 코팅의 발생이 방지되어 파티클의 발생을 매우 감소시킬 수 있었다.
- <78> 또한 본 발명에 의하면, 질소 분위기가 유지되는 반응챔버에 실리콘 소오스가스를 투입하기 때문에 게이트 라인 패턴 등에 포함된 증착 분위기에 노출된 금속의 실리사이드화를 방지할 수 있었다.
- <79> 또한, 본 발명에 의하면, 게이트 라인 패턴등을 형성할 때 폴리실리콘 재산화공정이나 이온주입마스크로 사용된 포토레지스트층 제거를 위한 애싱 공정 동안에 금속층의 표면에 발생된 금속산화층을 질소 분위기 가스하에서 제거할 수 있었다.
- <80> 또한, 본 발명에 의하면 증착 분위기에 노출된 금속층의 표면에서 금속의 산화가 일어나지 않기 때문에 금속층의 저항 증가를 방지할 수 있으며, 게이트 라인 등의 수직 프로파일이 양호하게 확보되어 후속되는 실리콘나이트라이드층의 증착 및 식각공정을 원활하게 수행할 수 있었다.

【특허청구범위】**【청구항 1】**

반도체기판을 증착공정이 수행될 수 있는 반응챔버내로 로딩하는 단계;

상기 반응챔버내에 저온에서 분해가 가능한 질소 원소를 포함하는 질소 분위기가스를 투입하여 상기 반응챔버내를 질소 분위기로 형성하는 단계; 및

상기 반응챔버내에 실리콘 소오스가스 및 산소 소오스가스를 투입하여 상기 반도체기판상에 실리콘옥사이드층을 증착하는 단계를 포함하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 2】

제 1 항에 있어서, 상기 반도체기판상에는 도전층 물질층이 형성되어 있으며, 상기 실리콘옥사이드층을 상기 도전층 물질층상에 형성되는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 3】

제 2 항에 있어서, 상기 도전층 물질층은 게이트라인 패턴, 비트라인 패턴, 배선라인 패턴 및 도전성 패드층 패턴 중의 어느 하나인 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 4】

제 2 항에 있어서, 상기 도전층 물질층은 적어도 그 일부가 노출된 금속층을 포함하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 5】

제 4 항에 있어서, 상기 금속층은 W, Ni, Co, TaN, Ru-Ta, TiN, Ni-Ti, Ti-Al-N, Zr, Hf, Ti, Ta, Mo, MoN, WN, Ta-Pt, Ta-Ti 중의 어느 하나인 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 6】

제 1 항에 있어서, 상기 질소 분위기가스로서 산소 원소를 포함하지 않는 가스를 사용하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 7】

제 6 항에 있어서, 상기 질소 분위기가스로서 암모니아(NH_3) 가스를 사용하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 8】

제 7 항에 있어서, 상기 암모니아(NH_3) 가스의 유량이 50 내지 1000 sccm이며, 공정온도는 500 내지 850 $^{\circ}\text{C}$ 이며, 공정압력은 0.1 내지 300 Torr인 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 9】

제 1 항에 있어서, 상기 실리콘 소오스가스로서 SiH_4 , Si_2H_6 , DCS(Dichlorosilane), TCS(Trichlorosilane), HCD(Hexachlorodisilane) 중의 어느 하나를 사용하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 10】

제 1 항에 있어서, 상기 산소 소오스가스로서 N_2O , NO 또는 O_2 를 사용하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 11】

제 1 항에 있어서, 상기 실리콘 소오스가스를 상기 산소 소오스가스보다 적어도 먼저 투입하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 12】

제 1 항에 있어서, 상기 실리콘 소오스가스와 상기 산소 소오스가스를 동시에 투입하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 13】

제 1 항에 있어서, 상기 질소 분위기가스는 상기 산소 소오스가스를 투입한 후에 투입을 중단하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 14】

제 1 항에 있어서, 상기 질소 분위기가스는 상기 산소 소오스가스를 투입과 동시에 투입을 중단하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 15】

제 1 항에 있어서, 상기 질소 분위기가스는 상기 실리콘 소오스가스 또는 산소 소오스가스를 투입하기 전에 투입을 중단하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 16】

제 1 항에 있어서, 상기 실리콘옥사이드층을 증착하는 단계는 공정압력이 0.01 내지 300 Torr, 공정온도가 500 내지 850 °C, 실리콘 소오스가스 유량이 1 내지 200 sccm, 산소 소오스가스 유량이 50 내지 1000sccm의 범위내에서 수행하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 17】

제 1 항에 있어서, 상기 실리콘옥사이드층을 증착하는 단계는 열적 화학기상증착 (thermal CVD)법에 의해 수행하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 18】

제 1 항에 있어서, 상기 실리콘옥사이드층을 증착하는 단계는 리모트 플라즈마를 이용한 플라즈마 강화 화학기상증착(PECVD)법에 의해 수행하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 19】

제 1 항에 있어서, 상기 실리콘옥사이드층을 증착하기 전에 상기 반도체기판상에 실리콘나이트라이드층이 베리어층으로서의 역할을 하지 못할 정도로 얇게 형성되는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 20】

실리콘기판상에 게이트 패턴을 형성하는 단계;

상기 게이트 패턴이 형성된 상기 실리콘기판을 증착공정이 수행될 수 있는 반응챔버내로 로딩하는 단계;

상기 반응챔버내에 저온에서 분해가 가능한 질소 원소를 포함하는 질소 분위기가스를 투입하여 상기 반응챔버내를 질소 분위기로 형성하는 단계;

상기 반응챔버내에 실리콘 소오스가스 및 산소 소오스가스를 투입하여 상기 게이트 패턴이 형성된 실리콘기판의 전면에 실리콘옥사이드층을 증착하는 단계;

상기 실리콘옥사이드층이 형성된 상기 실리콘기판의 전면에 실리콘나이트라이드층을 형성하는 단계; 및

상기 실리콘나이트라이드층과 실리콘옥사이드층을 식각하여 상기 게이트 패턴의 측벽에 실리콘나이트라이드층 및 실리콘옥사이드층을 포함한 스페이서를 형성하는 단계를 포함하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 21】

제 20 항에 있어서, 상기 스페이서를 형성하는 공정은 상기 실리콘나이트라이드층과 상기 실리콘옥사이드층을 이방성식각하여 형성하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 22】

제 20 항에 있어서, 상기 스페이서를 형성하는 공정은 상기 실리콘나이트라이드층을 이방성식각한 뒤, 상기 실리콘옥사이드층을 등방성식각하여 형성하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 23】

제 20 항에 있어서, 상기 게이트 패턴은 적어도 그 일부가 노출된 금속층을 포함하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 24】

제 23 항에 있어서, 상기 게이트 패턴은 게이트절연층, 폴리실리콘층, 텅스텐나이트라이드층, 텅스텐층 및 게이트마스크층이 순차적으로 적층된 구조인 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 25】

제 20 항에 있어서, 상기 게이트 패턴은 W, Ni, Co, TaN, Ru-Ta, TiN, Ni-Ti, Ti-Al-N, Zr, Hf, Ti, Ta, Mo, MoN, WN, Ta-Pt, Ta-Ti 중의 어느 하나인 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 26】

제 20 항에 있어서, 상기 질소 분위기가스로서 산소 원소를 포함하지 않는 가스를 사용하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 27】

제 26 항에 있어서, 상기 질소 분위기가스로서 암모니아(NH_3) 가스를 사용하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 28】

제 20 항에 있어서, 상기 실리콘 소오스가스로서 SiH_4 , Si_2H_6 , DCS(Dichlorosilane), TCS(Trichlorosilane), HCD(Hexachlorodisilane) 중의 어느 하나를 사용하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 29】

제 20 항에 있어서, 상기 산소 소오스가스로서 N_2O , NO 또는 O_2 를 사용하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 30】

제 20 항에 있어서, 상기 실리콘 소오스가스를 상기 산소 소오스가스보다 적어도 먼저 투입하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 31】

제 20 항에 있어서, 상기 실리콘 소오스가스와 상기 산소 소오스가스를 동시에 투입하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 32】

제 20 항에 있어서, 상기 질소 분위기가스는 상기 산소 소오스가스를 투입한 후에 투입을 중단하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 33】

제 20 항에 있어서, 상기 질소 분위기가스는 상기 산소 소오스가스를 투입과 동시에 투입을 중단하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 34】

제 20 항에 있어서, 상기 질소 분위기가스는 상기 실리콘 소오스가스 또는 산소 소오스가스를 투입하기 전에 투입을 중단하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 35】

제 20 항에 있어서, 상기 실리콘옥사이드층을 증착하는 단계는 공정압력이 0.01 내지 300 Torr, 공정온도가 500 내지 850 ℃, 실리콘 소오스가스 유량이 1 내지 200 sccm, 산소 소오스가스 유량이 50 내지 1000sccm의 범위내에서 수행하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 36】

제 20 항에 있어서, 상기 실리콘옥사이드층을 증착하는 단계는 열적 화학기상증착 (thermal CVD)법에 의해 수행하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 37】

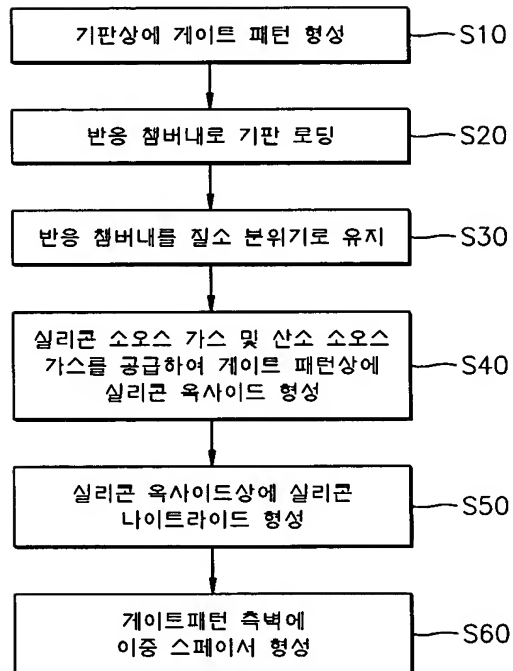
제 20 항에 있어서, 상기 실리콘옥사이드층을 증착하는 단계는 리모트 플라즈마를 이용한 플라즈마 강화 화학기상증착(PECVD)법에 의해 수행하는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【청구항 38】

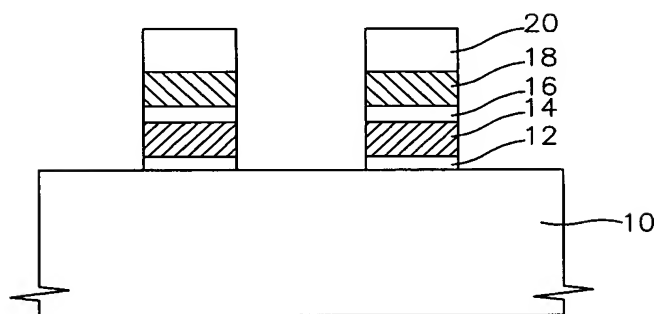
제 20 항에 있어서, 상기 실리콘옥사이드층을 증착하기 전에 상기 실리콘기판의 전면에 실리콘나이트라이드층이 베리어층으로서의 역할을 하지 못할 정도로 얇게 형성되는 것을 특징으로 하는 실리콘옥사이드층을 포함하는 반도체소자의 제조방법.

【도면】

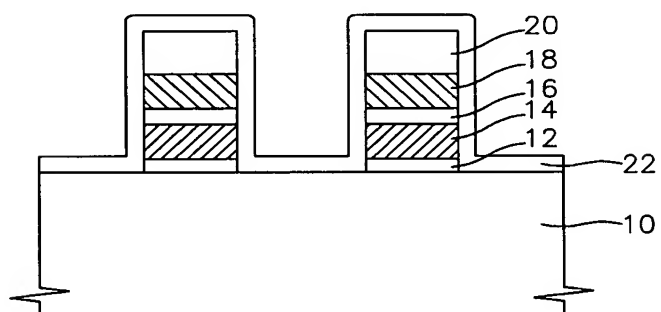
【도 1】



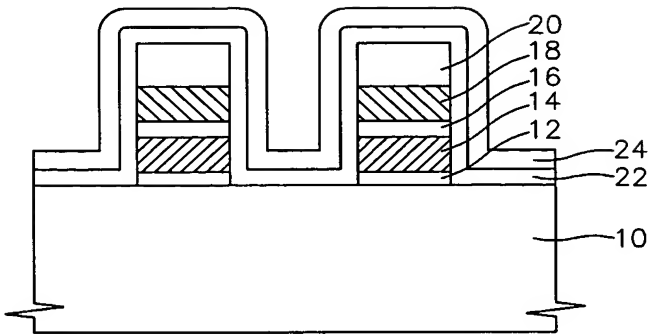
【도 2】



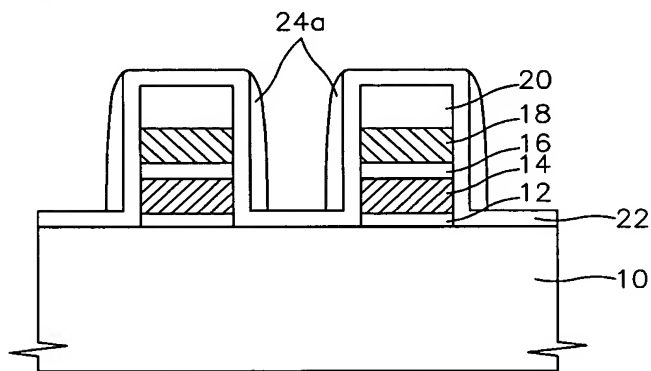
【도 3】



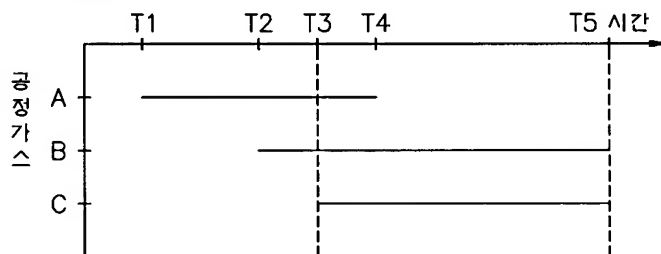
【도 4】



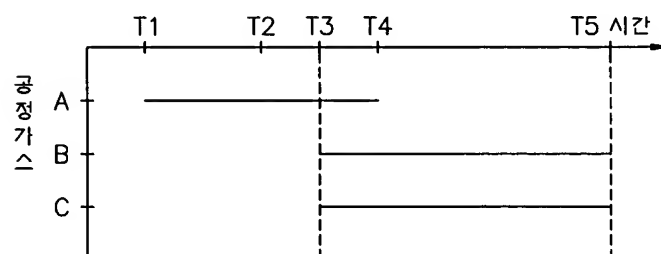
【도 5】



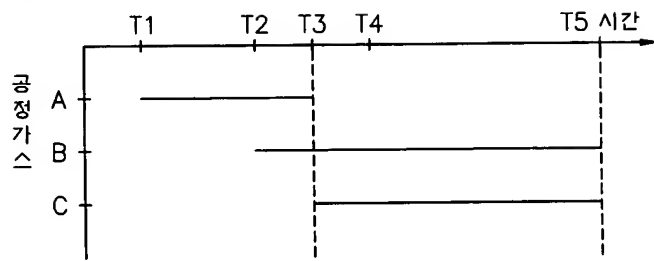
【도 6a】



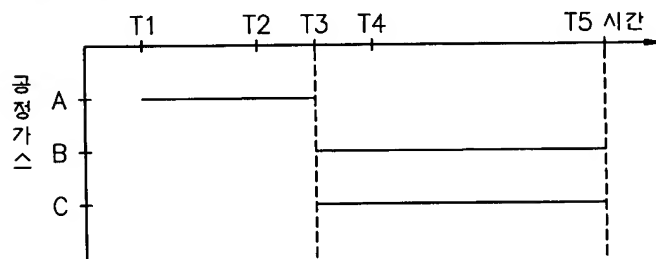
【도 6b】



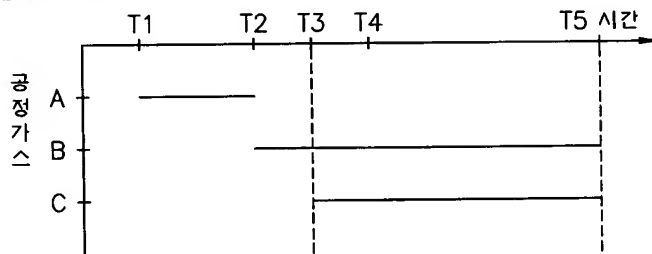
【도 7a】



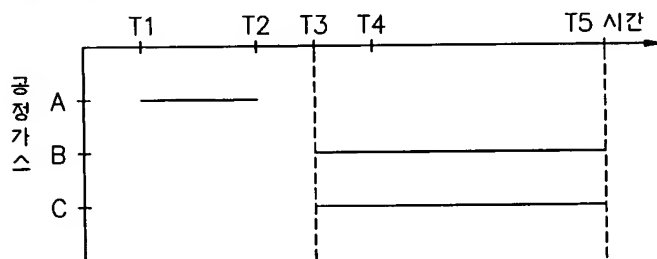
【도 7b】



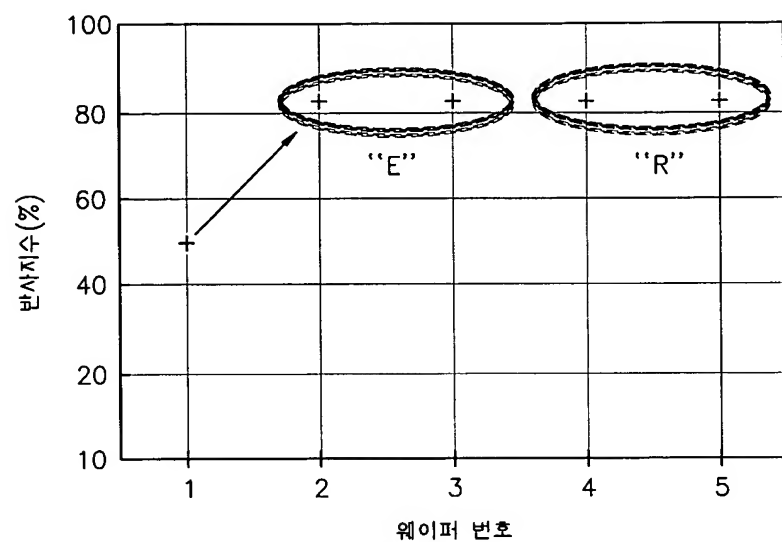
【도 8a】



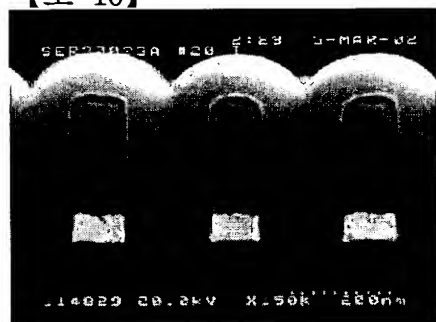
【도 8b】



【도 9】



【도 10】



【도 11】

